

PAT-NO: JP404196434A

DOCUMENT-IDENTIFIER: JP 04196434 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: July 16, 1992

INVENTOR-INFORMATION:

NAME

MURAKAMI, HIROAKI

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP02328047

APPL-DATE: November 28, 1990

INT-CL (IPC): H01L021/321

ABSTRACT:

**PURPOSE:** To provide a semiconductor device with reliable gold bumps by applying insulating coating to the sides of a metal layer, a diffused barrier layer, and bumps.

**CONSTITUTION:** Gold bumps for electrodes are formed on an integrated circuit

having aluminum electrode pads 11 and a passivation film 14. To increase the adhesion to the aluminum pads and the passivation film, a chromium film 13 and a copper film 14 are formed by sputtering. Then, a plating 15 is applied using a photoresist pattern. The plating 15 is used as a mask to remove the copper film and the chromium film by etching. An insulating layer 16 is deposited, and it is etched by an ion beam until the top surface of the plating is exposed. This method increases the reliability of gold bumps.

DERWENT- 1992-287774  
ACC-NO:

DERWENT- 199235  
WEEK:

*COPYRIGHT 1999 DERWENT INFORMATION LTD*

**TITLE:** Bump electrode for semiconductor device - formed by covering contact metal film, and diffusion barrier film layers, and bump with insulation film and exposing bump by anisotropic etching NoAbstract

**PATENT-ASSIGNEE:** SEIKO EPSON CORP[SHIH]

**PRIORITY-DATA:** 1990JP-0328047 (November 28, 1990)

**PATENT-FAMILY:**

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 04196434 A	July 16, 1992	N/A	003	H01L 021/321

**APPLICATION-DATA:**

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 04196434A	N/A	1990JP-0328047	November 28, 1990

**INT-CL (IPC):** H01L021/321

**ABSTRACTED-PUB-NO:**

**EQUIVALENT-ABSTRACTS:**

**TITLE-** BUMP ELECTRODE SEMICONDUCTOR DEVICE FORMING COVER CONTACT  
**TERMS:** METAL FILM DIFFUSION BARRIER FILM LAYER BUMP INSULATE FILM  
EXPOSE BUMP ANISOTROPE ETCH NOABSTRACT

**DERWENT-CLASS:** L03 U11

**CPI-CODES:** L04-C11D; L04-C12C;

**EPI-CODES:** U11-D03B1;

**SECONDARY-ACC-NO:**

**CPI Secondary Accession Numbers:** C1992-127969

**Non-CPI Secondary Accession Numbers:** N1992-220217

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-196434

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)7月16日

H 01 L 21/321

6940-4M H 01 L 21/92

6940-4M

C  
F

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-328047

⑰ 出 願 平2(1990)11月28日

⑱ 発 明 者 村 上 裕 昭 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

集積回路の電極パッド上及び絶縁膜上に形成されるパンプ型電極において

a) 密着金属膜層、拡散バリア膜層及びパンプ部を絶縁膜で覆う工程

b) 異方性エッチングにより、前記密着金属膜層、前記拡散バリア膜層及び前記パンプ部側面に絶縁膜を残し、前記パンプ部上面を露出させる工程から成ることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は半導体装置の製造方法に関するものであり、特に外部接続端子であるパンプ型電極を有する半導体装置に関する。

【従来の技術】

従来、半導体装置のパンプ型電極に関して

は、数多くの提案がなされ改良が加えられている。第2図は、従来のパンプ電極の断面図である。

従来はアルミ電極パッド21及びバッシベーション膜22の上に、密着金属膜層であるクロム膜23、拡散バリア層である銅膜24、そしてその上に金メッキ部25という構造をとっていた。このような構造にて形成されたパンプ型電極は、クロム膜23や、銅膜24が大気中に露出しているために、高湿度の雰囲気で使用した場合、クロム膜23や銅膜24が腐食するといった問題があった。

【発明が解決しようとする課題】

本発明は、クロム膜や銅膜が腐食するという課題を解決しようとするもので、高湿度雰囲気で使用しても腐食しないように、密着金属膜層、拡散バリア膜層及びパンプ部側面を絶縁膜で被覆することにより、高信頼性半導体装置を提供することにある。

【課題を解決するための手段】

集積回路の電極パッド上及び絶縁膜上に形成されるパンプ型電極において

1) 密着金属膜層、拡散バリア膜層及びパンプ部を絶縁膜で覆う工程

2) 異方性エッチングにより、密着金属膜層、拡散バリア膜層及びパンプ部側面に絶縁膜を残し、パンプ部上面を露出させる工程。

から成ることを特徴とする半導体装置の製造方法。

【実施例】

以下に、本発明について製造方法の実施例に基づき詳細に説明をする。

第1図にある様に、本発明の電極接金パンプは、アルミ電極パッド11及びパッシベーション膜14から成る集積回路上に形成する。

アルミ電極パッド11及びパッシベーション膜12との密着性を得るためのクロム膜13及び銅膜14をスパッタリング法を用いてそれぞれ0.1 $\mu$ m、0.5 $\mu$ m厚で形成する。次に、20 $\mu$ m以上の膜厚のフォトリソistパターンを用いて、メッキ部15を電解メッキ法により20 $\mu$ m厚になるように形成する。次にメッキ部15をマスクとして、銅膜14、クロム膜13をイオ

ンビームエッチング法を用いてエッチ除去すると、第1図(a)の構造となる。次に、プラズマTEOS法を用いて絶縁膜層16(シリコン酸化膜)を2 $\mu$ m厚となる様、全面に形成する。次にCHF<sub>3</sub>ガスを用いたドライエッチング法または、Arガスを用いたイオンビームエッチングにより、前記絶縁膜層16を除去し、メッキ部15の上面が露出したところで、エッチング操作を中止すると第1図(c)の構造となり、本発明の半導体装置の製造は終了する。

【発明の効果】

本発明は、半導体装置の電極用金パンプの製造方法に関するもので、密着金属膜層、拡散バリア膜層及びパンプ部側面を絶縁膜で被覆する製造方法を用いることにより、高温湿雰囲気で使用しても各層膜が腐食することなく、高い信頼性の金パンプ電極を得ることができた。さらに、使用電圧も従来より高く、より有用で使用性が高いばかりか、簡単に生産性の高い製造方法を実現することができた。

4. 図面の簡単な説明

第1図(a)~(c)は、本発明の実施例による半導体装置製造方法の断面図。

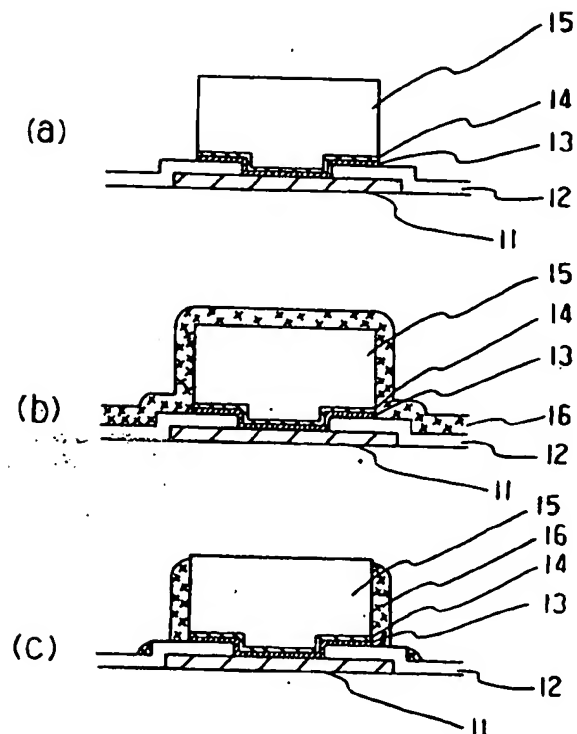
第2図は、従来の半導体装置製造方法の断面図。

- 11・・・アルミ電極パッド
- 12・・・パッシベーション膜
- 13・・・クロム膜層
- 14・・・銅膜層
- 15・・・メッキ部
- 16・・・絶縁膜(シリコン酸化膜)
- 21・・・アルミ電極パッド
- 22・・・パッシベーション膜
- 23・・・クロム膜層
- 24・・・銅膜層
- 25・・・メッキ部

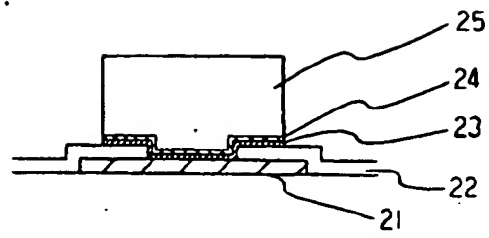
以上

出願人 セイコーエプソン株式会社

代理人 弁理士 鈴木昌三郎(他1名)



第1図



第 2 図